

A.V.S. 2000

PARTIE ELECTRONIQUE

5 PARTIES INDEPENDANTES :

Durée conseillées	Analyse fonctionnelle	environ 30mn
	FP3	environ 1H
	FP4	environ 1H15
	FP5	environ 45mn
	FP6	environ 1H

Diode de signal : idéales avec un seuil de 0,6V

Amplificateurs intégrés : Alimenté entre +15V et -15V et tous idéaux.

Valeurs normalisées associées à la série E12

10 12 15 18 22 27 33 39 47 56 68 82

I Questions relatives à l'analyse fonctionnelle

On désire préciser les conditions de relevés et les caractéristiques des signaux électriques utilisés lors des mesures effectuées par l'AVS.

- 1) Rappeler, succinctement, le principe de fonctionnement du dispositif et préciser quelles sont, lors d'une mesure dans une zone de défaut, les grandeurs qui varient et de quelle façon ? Donner des valeurs numériques.
- 2) Indiquer lors de quel mouvement des sondes, engendré par les treuils, les mesures ont-elle lieu ?
- 3) Dessiner l'allure de la d.d.p. « pêche » fournie par la sonde émettrice (on précisera l'amplitude, la période correspondant à la « pêche » et la période de récurrence).
- 4) Justifier pourquoi la sonde réceptrice dispose d'un gain variable accessible à l'utilisateur.

II Etude de FP3 : « Sélection et mémorisation de l'alternance servant de référence »

On souhaite mémoriser l'amplitude de la première alternance qui sera supérieure à un seuil prédéfini. Aussi l'étude ci-dessous a pour but de valider l'élaboration des d.d.p. VSIGNAL et VCRETE.

Schéma fonctionnel de degré 2 de FP3

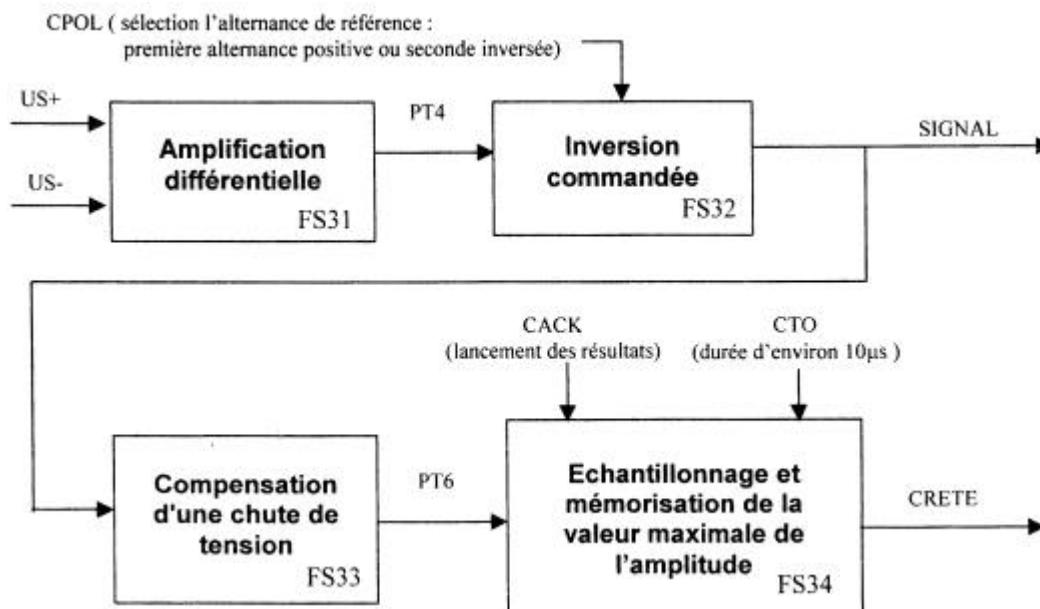
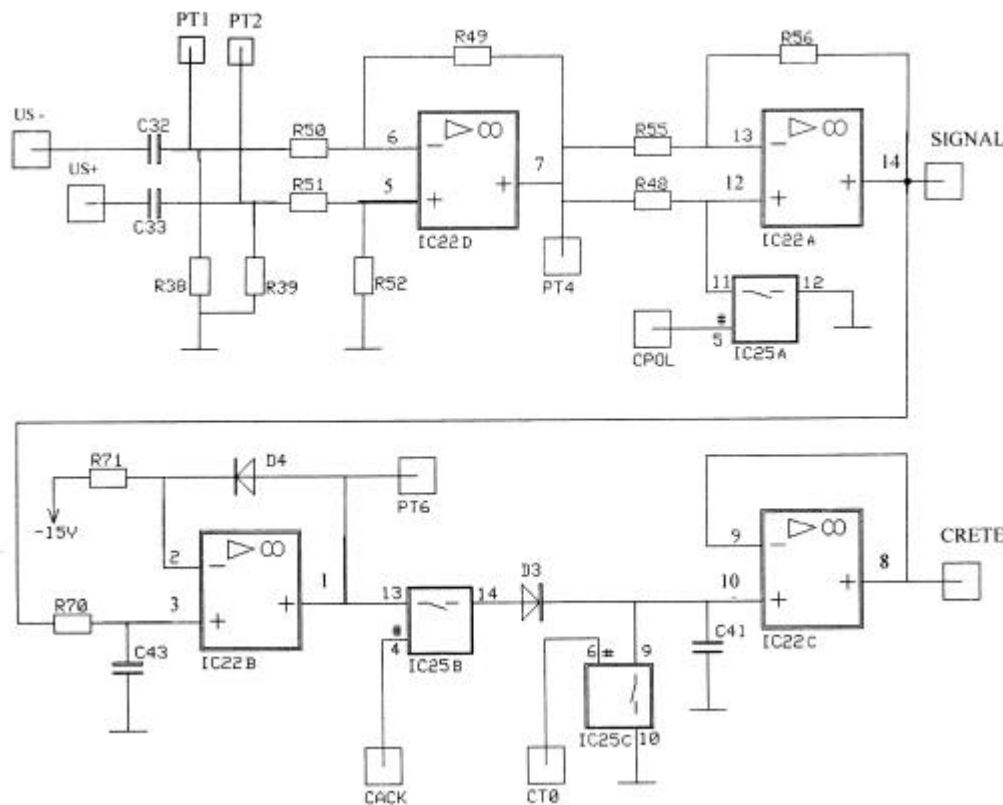


Schéma structurel de FP3



Ampli alimenté en $\pm 15V$

\perp : 0V

Liste des composants :

R38 : 1K Ω
 R39 : 1K Ω
 R48 : 10K Ω
 R49 : 10K Ω
 R50 : 10K Ω
 R51 : 10K Ω
 R52 : 10K Ω
 R55 : 10K Ω
 R56 : 10K Ω
 R70 : 10K Ω
 R71 : 150K Ω
 C41 : 4,7nF
 C43 : 4,7nF
 D3 : 1N4148
 D4 : 1N4148
 IC22 : TL 074
 IC25 : SW7510EQ

5) Déterminer sur le **document réponse** les structures associées aux différentes fonctions secondaires de FP3.

Etude de la fonction FS31 : « Amplification différentielle. »

L'utilisation d'un amplificateur différentiel permet de diminuer considérablement l'influence indésirable des tensions en mode commun.

6) Exprimer V_{PT4} en fonction V_{PT1} et V_{PT2} (on remarquera que toutes les résistances associées sont égales)

7) Compléter le chronogramme de V_{PT4} sur le document réponse.

Etude de la fonction FS32 : « Inversion commandée ».

8) A l'aide de la documentation du circuit référencé SW7510EQ rappeler l'état du commutateur IC25A en fonction de l'état logique CPOL.

9) Pour les deux niveaux possibles de CPOL, exprimer V_{SIGNAL} en fonction de V_{PT4} .

10) En déduire le rôle de CPOL.

11) En considérant CPOL au niveau logique haut, compléter le chronogramme de V_{SIGNAL} sur le document réponse.

Pour les questions suivantes (12 à 18), les niveaux logiques de CACK et CT0 seront considérés tels que :

- la liaison entre les broches 13 et 14 de IC25B sera établie.
- La liaison entre les broches 9 et 10 de IC25C, ne sera pas établie (cette liaison s'étant ouverte à l'instant $t=0$).

Etude de la fonction FS33 : « Compensation ».

La structure utilisée pour réaliser la fonction d'échantillonnage et mémorisation de la valeur maximale de l'amplitude (FS34) engendre une atténuation de 0,6V. Cette valeur étant non négligeable par rapport à celle de la d.d.p. V_{SIGNAL} (quelques volts), il faut donc la compenser. Nous supposons, au cours de cette étude, que l'influence du filtre réalisé par l'ensemble R70 et C43 est négligeable à la fréquence (50KHz) du signal V_{SIGNAL} .

12) A l'aide de la documentation du circuit IC22B référencé TL074M, déterminer les valeurs extrêmes (MIN) de l'excursion maximale de la tension de sortie, lorsque le circuit est alimenté en +15V et -15V et chargé par une impédance $\geq 10\text{K}\Omega$.

13) En tenant compte de la réponse à la question précédente, indiquer pour ces deux valeurs extrêmes de V_{PT6} , l'état de la diode D4. Conclure quant à la conduction de la diode D4 ?

14) Exprimer V_{PT6} en fonction de V_{SIGNAL} et de la tension de seuil de la diode D4.

15) Compléter le chronogramme de V_{PT6} sur le document réponse.

Remarque : à 50KHz le filtre R70, C43 introduit un déphasage d'environ -17° ce qui se traduit sur le chronogramme de V_{PT6} par un retard par rapport à V_{SIGNAL} d'environ $1\mu\text{s}$

Etude de la fonction FS34 : « Echantillonnage et mémorisation de la valeur maximale de l'amplitude ».

16) Etablir la relation liant V_{CRETE} à la tension aux bornes du condensateurs C41.

17) Les niveaux appliqués sur CT0 et CACK étant toujours ceux définis ci-avant, compléter le chronogramme de V_{CRETE} sur le document réponse. Préciser, sur ce même chronogramme, les différentes phases de fonctionnement, « bloquée » ou passante, de la diode D3.

18) On établit la liaison entre 9 et 10 de IC25C, en déduire V_{CRETE} en négligeant la résistance du contact. Quelle action de CTO, décrite dans l'analyse fonctionnelle, est ainsi assurée ?

III Etude de FP4 : « Réglage du gain et élimination du bruit »

L'amplitude du signal reçu étant très variable sur les différents sites, il est nécessaire que l'utilisateur dispose d'une grande gamme de réglages d'amplifications et de valeurs de seuils afin de fournir une ddp SSEUIL compatible à FP6 (traitement programmé des informations).

Schéma fonctionnel de degré 2 de FP4

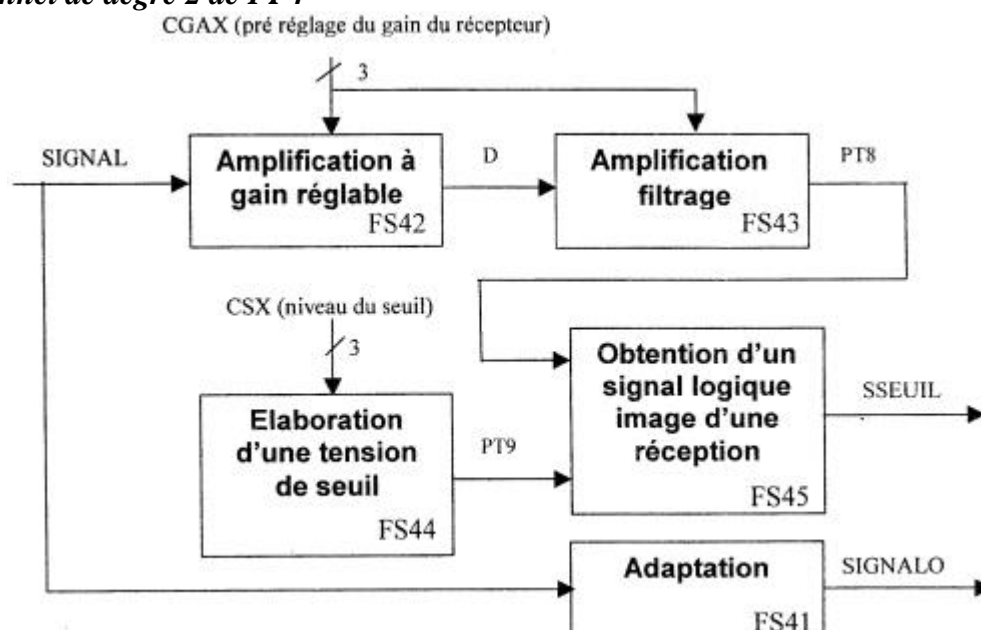
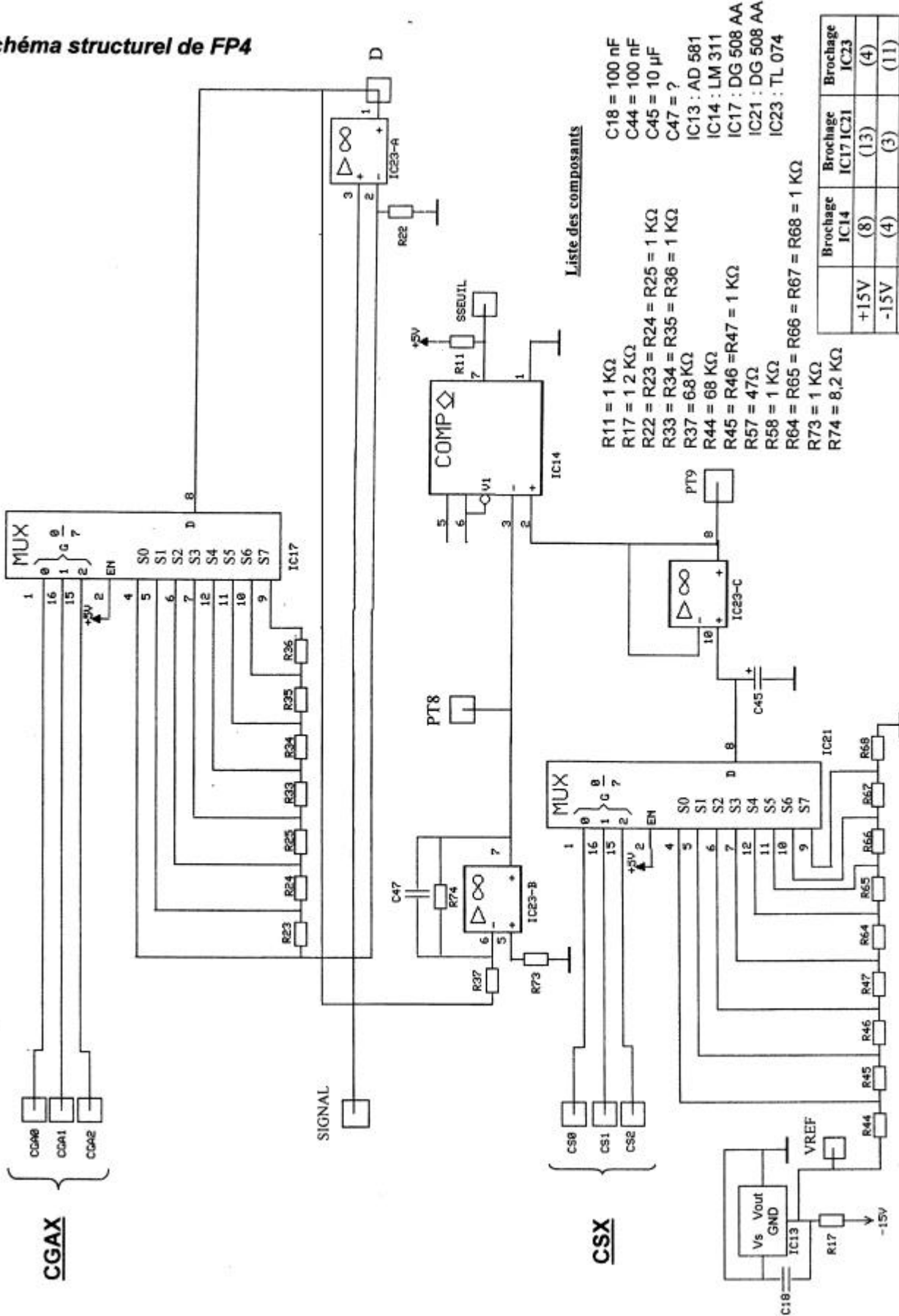


Schéma structurel de FP4



Liste des composants

- C18 = 100 nF
- C44 = 100 nF
- C45 = 10 µF
- C47 = ?
- IC13 : AD 581
- IC14 : LM 311
- IC17 : DG 508 AA
- IC21 : DG 508 AA
- IC23 : TL 074
- R11 = 1 KΩ
- R17 = 12 KΩ
- R22 = R23 = R24 = R25 = 1 KΩ
- R33 = R34 = R35 = R36 = 1 KΩ
- R37 = 68 KΩ
- R44 = 68 KΩ
- R45 = R46 = R47 = 1 KΩ
- R57 = 47Ω
- R58 = 1 KΩ
- R64 = R65 = R66 = R67 = R68 = 1 KΩ
- R73 = 1 KΩ
- R74 = 8,2 KΩ

	Brochage IC14	Brochage IC17 IC21	Brochage IC23
+15V	(8)	(13)	(4)
-15V	(4)	(3)	(11)
+5V		(2)	
0V		(14)	

Etude de la fonction FS42 : « Amplification à gain réglable ».

19) Extraire de la documentation du multiplexeur analogique référencé DG508AA, la résistance maximale R_{DSon} susceptible d'être obtenue entre l'entrée sélectionnée et la sortie D.

Pour les questions suivantes (20 à 32) :

- On remplacera l'interrupteur fermé par sa résistance R_{DSon} maximale.
- Le mot binaire CGAx appliqué en entrée du multiplexeur IC17 sera : [CGA2 CGA1 CGA0]=[0 0 1]

20) Sur le document réponse, délimiter la structure réalisant la fonction secondaire FS42.

21) Dessiner cette structure (le multiplexeur sera modélisé) en tenant compte du mot CGAx appliqué.

22) Exprimer littéralement la fonction de transfert de cette structure et donner le nom usuel de cette structure à amplificateur intégré.

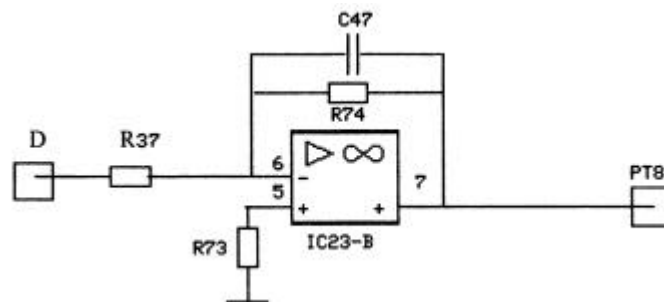
23) Calculer la valeur numérique du rapport V_D/Signal

24) Compléter le chronogramme de sur le document réponse V_D .

25) En considérant maintenant le mot binaire [CGA2 CGA1 CGA0] valant [1 0 1], calculer la nouvelle valeur de l'amplitude du signal V_D .

Etude de la fonction FS43 : « Amplification et filtrage ».

La structure réalisant cette fonction est la suivante :



26) La fonction de transfert de cette structure est :

$$\underline{T} = A_0 \cdot \frac{1}{1 + j \frac{\omega}{\omega_0}} \quad \text{avec } A_0 = -\frac{R_{74}}{R_{37}} \quad \text{et } \omega_0 = \frac{1}{R_{74} \cdot C_{47}}$$

En déduire la nature du filtre utilisé et calculer la valeur de A_0 . Déterminer la valeur théorique de C_{47} permettant d'obtenir une fréquence de coupure de ce filtre égale à 4 fois la fréquence du signal ultrasonore utilisé. Choisir, dans la série E6, une valeur normalisée pour ce condensateur.

27) Compléter le chronogramme de V_{PT8} sur le document réponse.

Etude de la fonction FS44 : « Elaboration de la tension de seuil ».

28) A l'aide de la documentation du circuit référencé AD581 donner le numéro de la figure correspondant à notre utilisation. En déduire la valeur de V_{ref} .

33) Extraire de la documentation du circuit référencé 4528, la relation permettant de déterminer la durée de l'impulsion obtenue sur les sorties des monostables lors du déclenchement de ceux-ci. Ces monostables sont redéclenchables. Que signifie cette affirmation ?

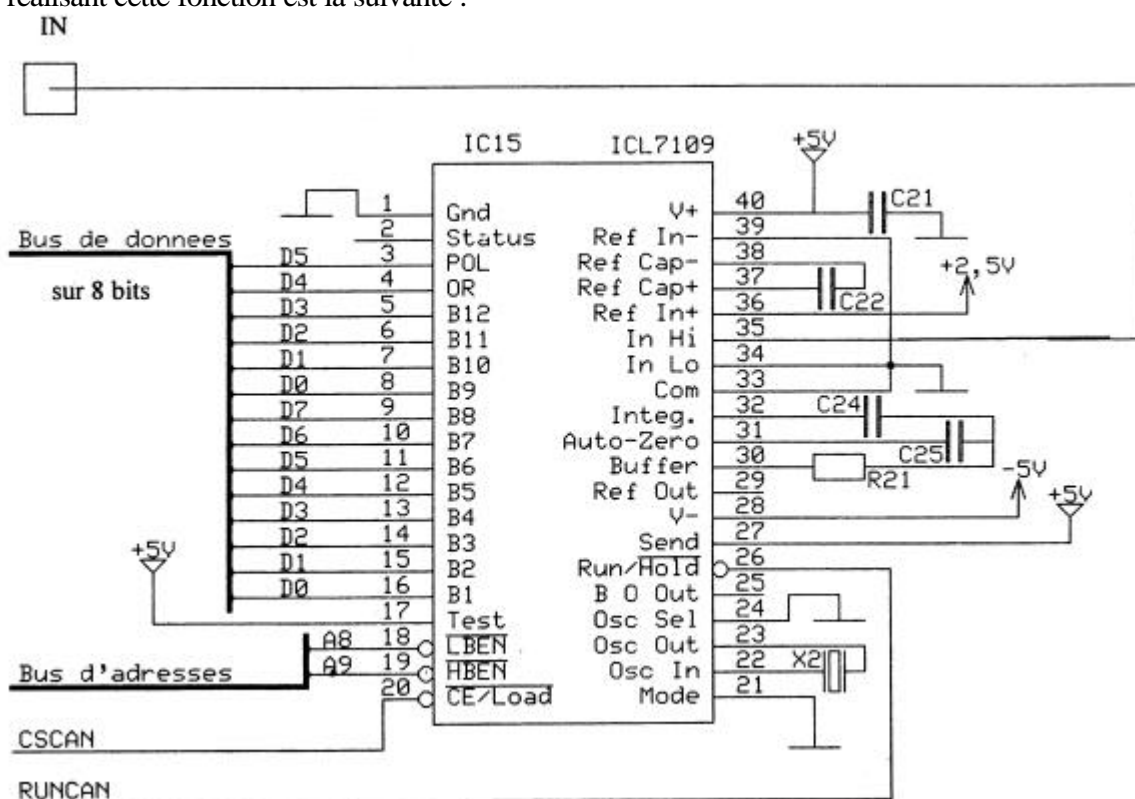
34) Calculer la valeur du potentiomètre repéré P2 qui permet d'obtenir en CFENINT la plage de réglage : $5\mu s \leq t_1 \leq 30\mu s$ (on ne tiendra pas compte des tolérances sur les composants employés). Choisir P2 dans la série E12.

35) Calculer la durée de l'impulsion t_2 , qu'il est possible d'obtenir en \overline{CHECH}

36) On suppose P2 réglé afin d'obtenir $t_1 = 20\mu s$, compléter les chronogrammes de CFENINT et de \overline{CHECH} sur le document réponse.

Etude de la fonction FS54 : « Conversion analogique numérique d'échantillonnage »

La structure réalisant cette fonction est la suivante :

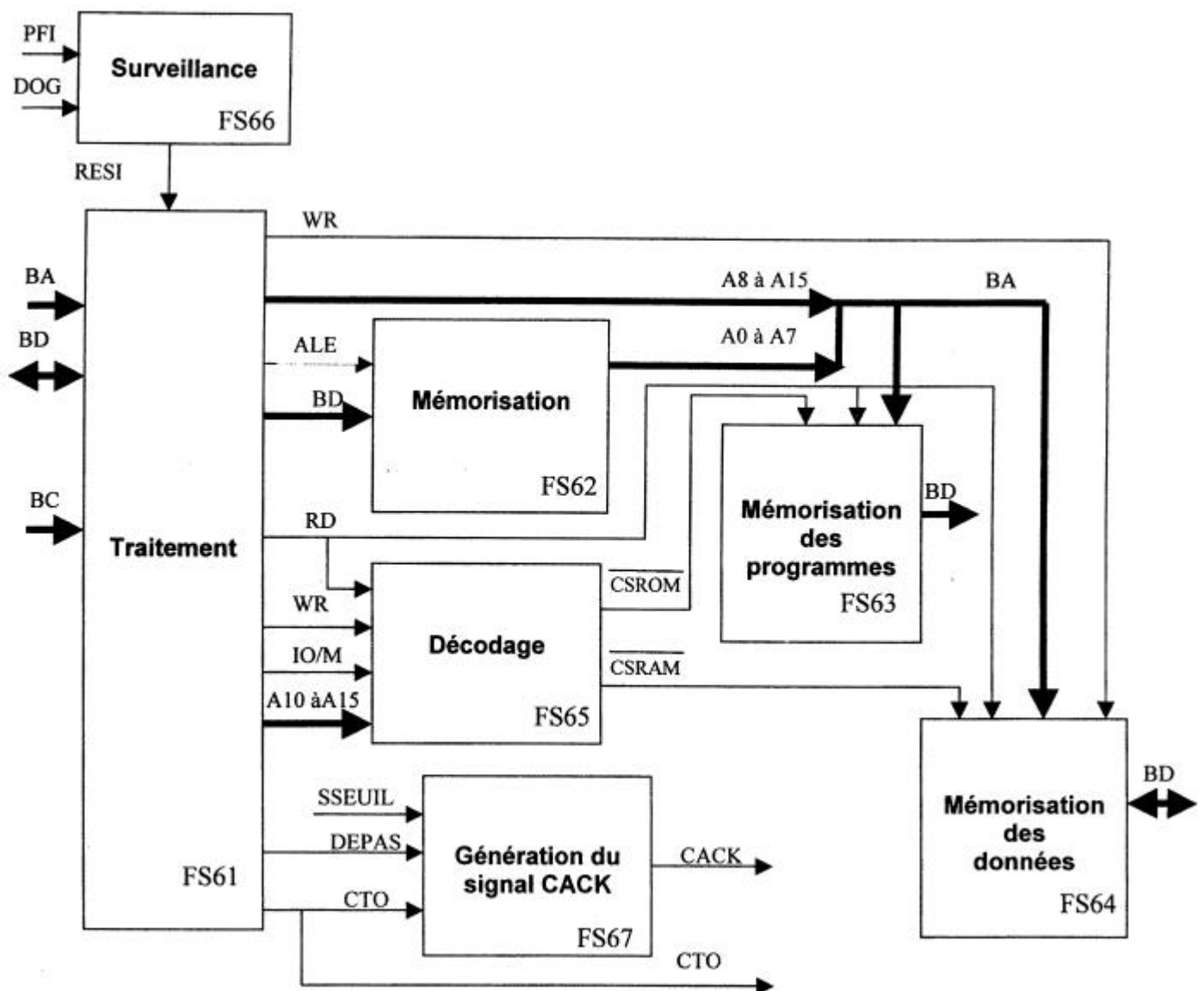


- | | | |
|-------------------|-------------|-----------------|
| R20 : 1M | C21 : 100nF | C244 : 7nF |
| R21 : 180K | C22 : 1μF | C25 : 10nF |
| X2 : Quartz 2 MHz | C23 : 10nF | IC15 : ICL 7109 |

A partir de la documentation fournie répondre aux questions suivantes :

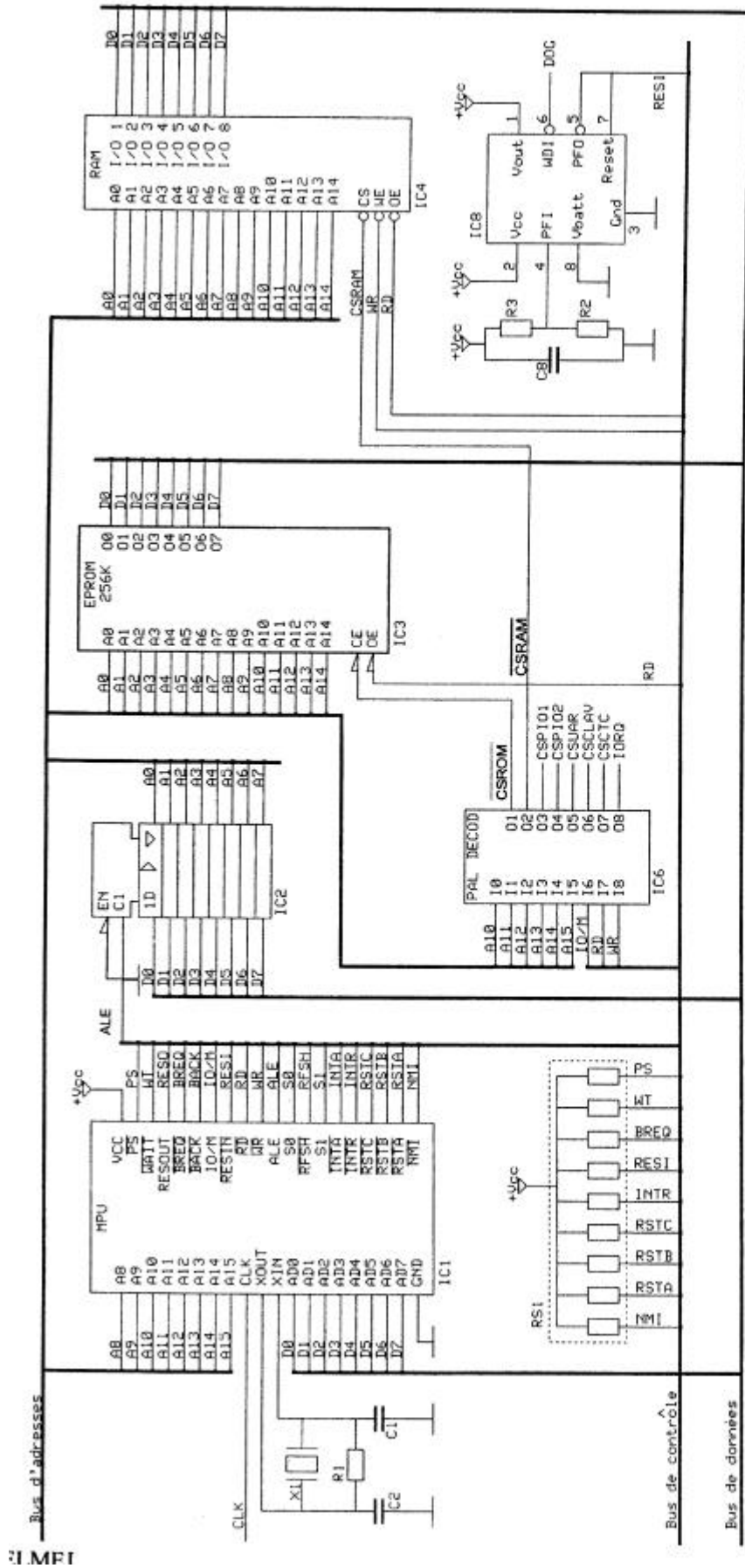
- 37) En fonction du nombre de bits mis en œuvre par ce convertisseur, déterminer la quantum (1 LSB) obtenu.
- 38) On constate, sur le schéma structurel, que 14 bornes du circuit ICL7109 sont reliées au bus de donnée (de 8 bits). Expliquer comment un tel transfert de données est possible. Préciser le rôle des entrées \overline{LBEN} et \overline{HBEN} .
- 39) Sachant que la ddp VIN est proportionnelle à la ddp maximale de V_{CRETE}, compléter compléter le tableau de conversion proposé sur le document réponse.

Schéma fonctionnel de degré 2 de FP6



BA : Bus d'adresses
 BD : Bus de donnée (8 bits)
 BC : Bus de contrôle

Les structures correspondant aux fonctions secondaires FS61 à FS66 ont été regroupées sur le même schéma structurel présenté ci-dessous.



Liste des composants

- R1 = 1M Ω
 - R2 = 470K Ω
 - R3 = 1M Ω
 - RS1 : Réseau de résistances 10K Ω
 - X1 : Quartz 4,9152MHz
 - C1 = 56 pF
 - C2 = 22 pF
 - C8 = 100nF
- IC1 : NSC800
 - IC2 : 74HC573
 - IC3 : Am27C256
 - IC4 : KM68257
 - IC6 : 5C032
 - IC8 : MAX690
- +V_{cc}=+5V

Etude de la fonction FS61 « Traitement »

- 40) En vous aidant du chronogramme fourni représentant le cycle d'écriture du microprocesseur NSC800, déterminer les informations disponibles sur les bornes AD0 à AD7 durant le cycle repéré T1.
- 41) Déterminer les informations disponibles sur les bornes AD0 à AD7 durant le cycle repéré T2 ?

Etude de la fonction FS62 « Mémorisation »

C'est le circuit Référencé 74HC573 qui assure cette fonction.

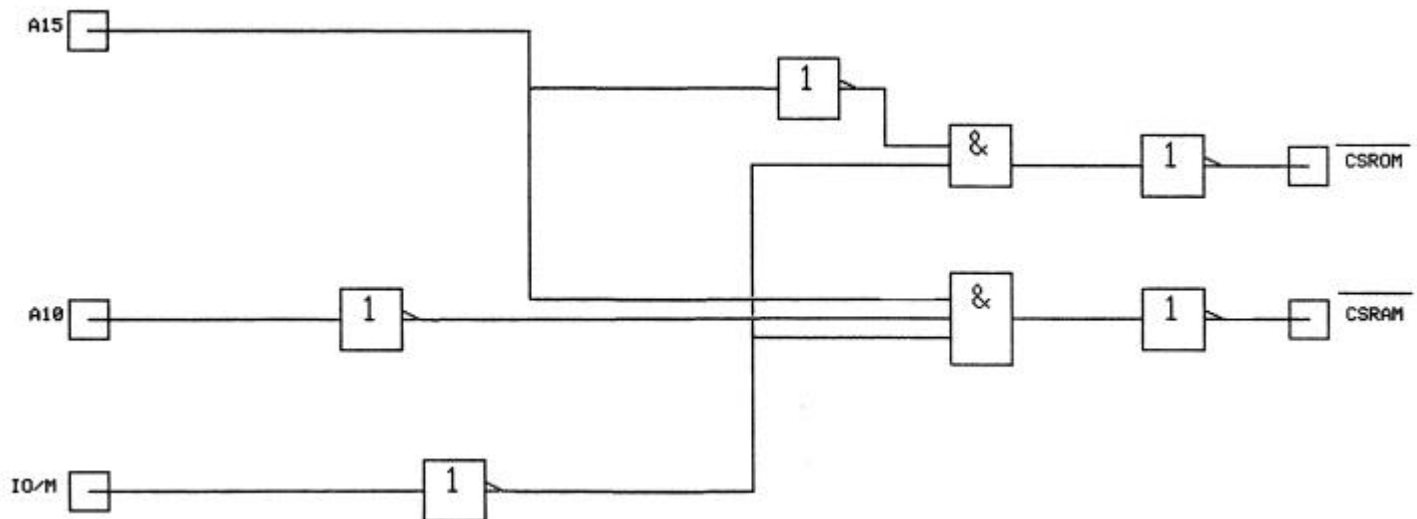
- 42) Indiquer pour quel niveau logique actif de l'entrée ALE cette fonction est-elle remplie ?

Etude de la fonction FS63 et FS64 « Mémorisation des programmes et des données »

- 43) Déterminer les capacités mémoires, en Kilo-octets, de IC3 et IC4.

Etude de la fonction FS61 « Décodage »

Schéma structurel interne partiel du circuit de décodage 5C032



- 44) Déterminer l'équation logique de la sortie \overline{CSRAM} .
- 45) Compléter le tableau des adresses de début et de fin, proposé sur le **document réponse**.
- 46) Compléter le plan mémoire proposé sur le **document réponse**.
- 47) A partir des éléments précédents, préciser si les circuits mémoires (RAM et EPROM) sont complètement ou partiellement utilisés.