

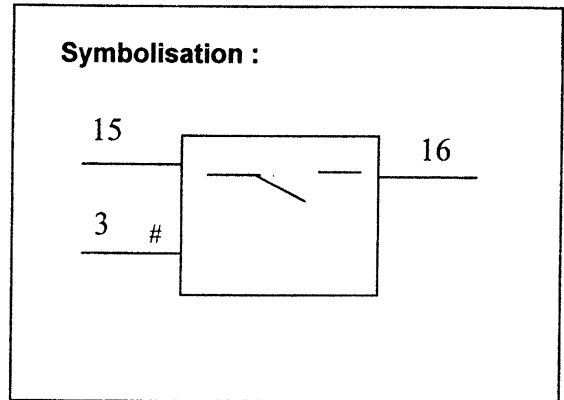
Description Générale :

Les SW-7510/7511 sont des circuits intégrés linéaires monolithiques, contenant chacun quatre commutateurs analogiques indépendants.

Les commutateurs des SW-7510 sont ouverts lorsque les entrées logiques sont au niveau logique bas.
 Les commutateurs des SW-7511 sont ouverts lorsque les entrées logiques sont au niveau logique haut.
 Toutes les entrées sont compatibles avec les technologies TTL et CMOS.

Caractéristiques :

- Pin Compatible with AD7510 DI, AD7511 DI
- JFET Switches Rather than CMOS
- Highly Resistant to Static Discharge Damage
- Radiation Resistant
- No SCR Latch-up Problems
- Low "ON" Resistance -- 75Ω Max
- Superior "OFF" Isolation and Crosstalk
- Digital Inputs Compatible with TTL and CMOS
- No Pull-Up Resistors Required to Insure Break-Before-Make Action with TTL Inputs

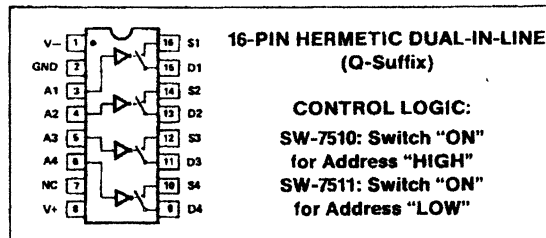


ORDERING INFORMATION†

TYPICAL 25°C RESISTANCE	PACKAGE HERMETIC DIP	TEMPERATURE RANGE
60Ω	SW7510AQ*	MIL
	SW7510EQ	IND
80Ω	SW7510BQ*	MIL
	SW7510FQ	IND
60Ω	SW7511AQ*	MIL
	SW7511EQ	IND
80Ω	SW7511BQ*	MIL
	SW7511FQ	IND

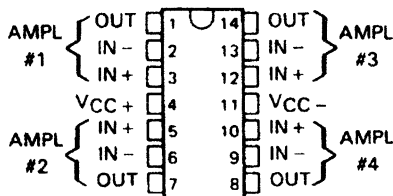
Brochage :

PIN CONNECTIONS



- Low Power Consumption
- Wide Common-Mode and Differential Voltage Ranges
- Low Input Bias and Offset Currents
- Output Short-Circuit Protection
- Low Total Harmonic Distortion . . . 0.003% Typ
- Common-Mode Input Voltage Range Includes V_{CC+}
- Low Noise . . . $V_n = 18 \text{ nV}/\sqrt{\text{Hz}}$ Typ
- High Input Impedance . . . JFET-Input Stage
- Internal Frequency Compensation (Except TL070)
- Latch-Up-Free Operation
- High Slew Rate . . . $13 \text{ V}/\mu\text{s}$ Typ

TL074, TL074A, TL074B
D, J, OR N PACKAGE
TL074 . . . W PACKAGE
(TOP VIEW)



Traduction de quelques termes :

- V_{IO} : Tension de décalage d'entrée
- αV_{IO} : Coefficient. de température de la tension de décalage d'entrée
- I_{IO} : Courant de décalage d'entrée
- I_{IB} : Courant de polarisation d'entrée
- V_{ICR} : Plage de tension d'entrée en mode commun
- V_{OM} : Excursion maximale de la tension de crête en sortie
- AV_D : Amplification en tension différentielle de signaux forts
- B_1 : Largeur de la bande en gain unitaire
- R_i : Résistance d'entrée
- $CMRR$: Taux de réjection en mode commun
- I_{CC} : Courant d'alimentation (par amplificateur)

Description Générale :

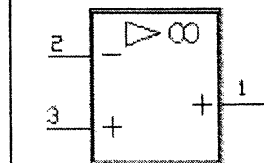
Les amplificateurs opérationnels à JFET de la série TL07x sont les versions à faible bruit des TL08x.

Leur faible distorsion harmonique (0,003% en moyenne) et leur bonne caractéristique de bruit les rendent particulièrement intéressants en audio de haut de gamme.

Les entrées de chaque amplificateur se font sur un étage à JFET. Elles ont donc une impédance très élevée. Ensuite, un étage de sortie à transistors bipolaires leur donne une impédance de sortie relativement basse.

En interne ils sont compensés en fréquence (à l'exception des TL070 et TL070A) ce qui limite considérablement les risques d'oscillations spontanées.

Symbolisation :



absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

	TL07...C TL07 AC TL07...BC	TL07 I	TL07 M	UNIT
Supply voltage, V_{CC+} (see Note 1)	18	18	18	V
Supply voltage, V_{CC-} (see Note 1)	-18	-18	-18	V
Differential input voltage (see Note 2)	± 30	± 30	± 30	V
Input voltage (see Notes 1 and 3)	± 15	± 15	± 15	V
Duration of output short circuit (see Note 4)	unlimited	unlimited	unlimited	
Continuous total dissipation	See Dissipation Rating Table			
Operating free-air temperature range	0 to 70	-40 to 85	-55 to 125	°C
Storage temperature range	-65 to 150	-65 to 150	-65 to 150	°C
Case temperature for 60 seconds	FK package		260	°C
Lead temperature 1,6 mm (1/16 inch) from case for 60 seconds	J, JG, or W package		300	°C
Lead temperature 1,6 mm (1/16 inch) from case for 10 seconds	D, N, or P package	260	260	°C
Lead temperature 1,6 mm (1/16 inch) from case for 10 seconds	L package		300	°C

- NOTES: 1. All voltage values, except differential voltages, are with respect to the midpoint between V_{CC+} and V_{CC-} .
 2. Differential voltages are at the noninverting input terminal with respect to the inverting input terminal.
 3. The magnitude of the input voltage must never exceed the magnitude of the supply voltage or 15 V, whichever is less.
 4. The output may be shorted to ground or to either supply. Temperature and/or supply voltages must be limited to ensure that the dissipation rating is not exceeded.

electrical characteristics, $V_{CC\pm} = \pm 15$ V (unless otherwise noted)

PARAMETER	TEST CONDITIONS†		TL071M TL072M			TL074M			UNIT
			MIN	TYP	MAX	MIN	TYP	MAX	
V_{IO} Input offset voltage	$V_O = 0,$ $R_S = 50 \Omega,$	$T_A = 25^\circ\text{C}$	3 6		3 9		mV		
		$T_A = -55^\circ\text{C to } 125^\circ\text{C}$	9		15				
αV_{IO} Temperature coefficient of input offset voltage	$V_O = 0,$ $T_A = -55^\circ\text{C to } 125^\circ\text{C}$	$R_S = 50 \Omega,$	18		18		$\mu\text{V}/^\circ\text{C}$		
I_{IO} Input offset current‡	$V_O = 0$	$T_A = 25^\circ\text{C}$	5	100	5	100	pA		
		$T_A = -55^\circ\text{C to } 125^\circ\text{C}$	20		20		nA		
I_{IB} Input bias current	$V_O = 0$	$T_A = 25^\circ\text{C}$	65	200	65	200	pA		
		$T_A = -55^\circ\text{C to } 125^\circ\text{C}$	50		50		nA		
V_{ICR} Common-mode input voltage range	$T_A = 25^\circ\text{C}$		-12 ± 11 to +15		-12 ± 11 to +15		V		
V_{OM} Maximum peak output voltage swing	$R_L = 10 \text{ k}\Omega$ $R_L \geq 10 \text{ k}\Omega$ $R_L \geq 2 \text{ k}\Omega$	$T_A = 25^\circ\text{C}$	$\pm 12 \pm 13.5$		$\pm 12 \pm 13.5$		V		
		$T_A = -55^\circ\text{C to } 125^\circ\text{C}$	± 12		± 12				
			± 10		± 10				
A_{VD} Large-signal differential voltage amplification	$V_O = \pm 10 \text{ V},$ $R_L \geq 2 \text{ k}\Omega$	$T_A = 25^\circ\text{C}$	35	200	35	200	V/mV		
		$T_A = -55^\circ\text{C to } 125^\circ\text{C}$	15		15				
B_1 Unity-gain bandwidth	$T_A = 25^\circ\text{C}$		3		3		MHz		
r_i Input resistance	$T_A = 25^\circ\text{C}$		10 ¹²		10 ¹²		Ω		
CMRR Common-mode rejection ratio	$V_{IC} = V_{ICR} \text{ min}, V_O = 0,$ $R_S = 50 \Omega, T_A = 25^\circ\text{C}$		80	86	80	86	dB		
kSVR Supply voltage rejection ratio ($\Delta V_{CC\pm} / \Delta V_{IO}$)	$V_{CC} = \pm 15 \text{ V to } \pm 9 \text{ V}, V_O = 0,$ $R_S = 50 \Omega, T_A = 25^\circ\text{C}$		80	86	80	86	dB		
I_{CC} Supply current (each amplifier)	No load, $V_O = 0,$ $T_A = 25^\circ\text{C}$		1.4	2.5	1.4	2.5	mA		
V_{O1}/V_{O2} Crosstalk attenuation	$A_{VD} = 100, T_A = 25^\circ\text{C}$		120		120		dB		

† All characteristics are measured under open-loop conditions with zero common-mode voltage unless otherwise specified.

‡ Input bias currents of a FET-input operational amplifier are normal junction reverse currents, which are temperature sensitive as shown in Figure 6. Pulse techniques must be used that will maintain the junction temperature as close to the ambient temperature as possible.

Description générale :

Le DG508A est un multiplexeur analogique CMOS monolithique 8 canaux vers 1.

L'entrée de validation (EN) étant au niveau logique haut un des commutateurs est sélectionné (basse impédance, état "passant") par les entrées d'adresses (A2, A1, A0). L'entrée de validation étant au niveau logique bas, tous les commutateurs sont en état de haute impédance (état bloqué) indépendamment des entrées d'adresses.

Les circuits Maxim ont une faible résistance lorsque l'interrupteur est fermé, un temps de commutation rapide et une faible consommation.

Symbolisation :

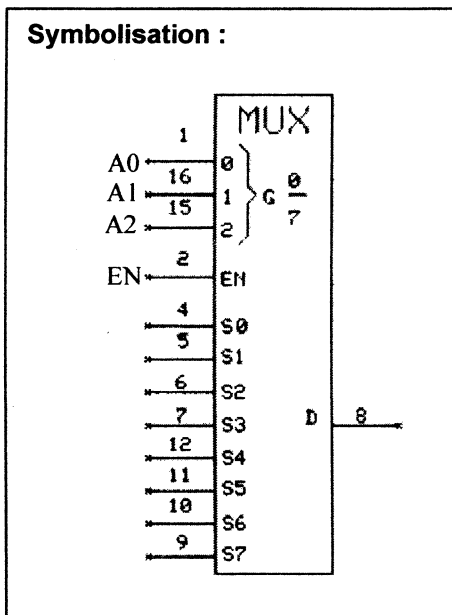


Table de vérité :

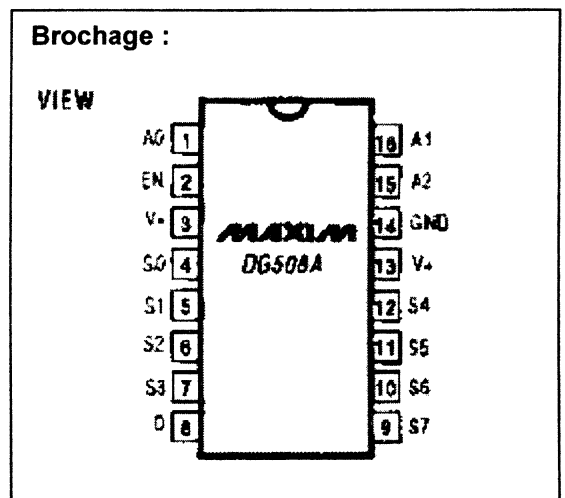
A2	A1	A0	EN	Broche D Connectée à
x	x	x	0	AUCUN
0	0	0	1	S0
0	0	1	1	S1
0	1	0	1	S2
0	1	1	1	S3
1	0	0	1	S4
1	0	1	1	S5
1	1	0	1	S6
1	1	1	1	S7

x : sans importance

Caractéristiques :

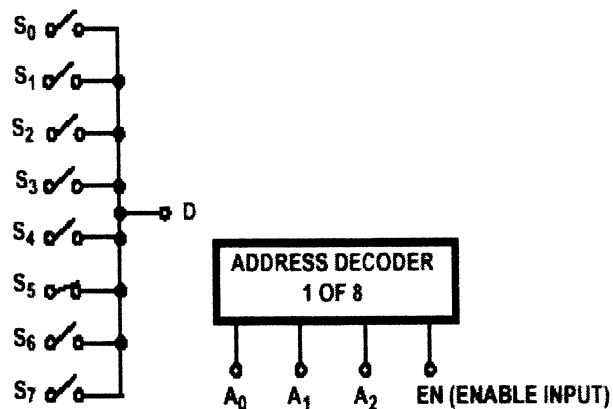
- Tension d'alimentation de 4,5 à 18V
- Utilisation en bidirectionnel
- Entrées de validation et entrées logiques, compatibles TTL et CMOS
- CMOS monolithique à faible consommation

Brochage :



Structure interne :

DG508A



3 Line Binary Address Inputs

(1 0 1) and EN = 1

Above example shows channel 6 turned ON.

CARACTERISTIQUES ELECTRIQUES

(V+ = 15V, V- = 15V, GND = 0V, TA = +25°C, sauf indication contraire)

PARAMETRES		SYMBOLE	CONDITIONS	DG508AA DG509AA			DG508AD/E/B/C DG509AD/E/B/C			UNITE
				MIN	TYP	MAX	MIN	TYP	MAX	
COMMUTATEUR										
Plage du signal		VANALOG		-15		15	-15		15	V
Résistance à l'état passant Drain - source		rDS(ON)	Sequence each switch on, VAL = 0.8V, VAH = 2.4V	VD = 10V, IS = -200µA		170	300	170 350		Ω
				VD = -10V, IS = -200µA		130	300	130 350		
Variation de la résistance à l'état passant entre deux canaux		ΔrDS(ON)	$\Delta r_{DS(ON)} = \left(\frac{r_{DS(ON) \text{ max}} - r_{DS(ON) \text{ min}}}{r_{DS(ON)}} \right)$ -10V ≤ VS ≤ 10V		6		6		%	
Courant de fuite source ouverte		IS(OFF)	VEN = 0V	VS = 10V, VD = -10V		0.002	0.5	0.002 1		nA
				VS = -10V, VD = 10V		-0.5	-0.005	-1 -0.005		
Courant de fuite Drain ouvert	DG508A	ID(OFF)	VEN = 0V	VD = 10V, VS = -10V		0.01 2		0.01 5		nA
	DG509A			VD = -10V, VS = 10V		-2 -0.015		-5 -0.015		
				VD = 10V, VS = -10V		0.005 2		0.005 5		
				VD = -10V, VS = 10V		-2 -0.008		-5 -0.008		
Courant de fuite Drain fermé	DG508A	ID(ON) (Note 2)	Sequence each switch on, VAL = 0.8V, VAH = 2.4V	VS(all) = VD = 10V		0.015 2		0.015 5		nA
	DG509A			VS(all) = VD = -10V		2 -0.03		-5 -0.03		
				VS(all) = VD = 10V		0.007 2		0.007 5		
				VS(all) = VD = -10V		-2 -0.015		-5 -0.015		

AD581

Référence de tension haute précision à +10V

Description Générale :

Le composant AD581 distribué par Analog Devices est une référence de tension de haute précision qui fournit une différence de potentiels stable de 10 V, pour des applications analogiques, et plus particulièrement adaptée aux convertisseurs 8, 10, 12 et 14 bits.

Il possède une compensation en température, qui est réalisée par une structure interne, et fonctionne sans problème avec des alimentations comprises entre +12,5V et 30 V, pour un courant consommé de 750 μ A.

Cette référence de tension peut être connectée directement à un grand nombre de convertisseurs CMOS A/D ou D/A et se prête très facilement aux applications fonctionnant sous 15V.

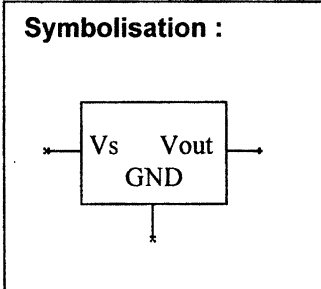
Une précision égale à ± 5 mV et une stabilité en température de 5 ppm/ $^{\circ}$ C permettent de supprimer les différents circuits de corrections dans beaucoup de montages.

Les boîtiers sont disponibles en version TO 5 pour les utilisations commerciales et militaires, ainsi qu'en version CMS 8 broches.

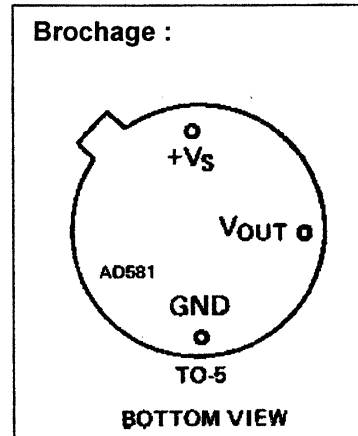
Caractéristiques :

- Tension délivrée de $+10V \pm 5$ mV
- Stabilité en température : 5 ppm/ $^{\circ}$ C
- Stabilité à long terme
- Possibilité d'une tension de référence de -10V
- Aucune broche de réglage
- Peut fournir un courant de sortie de 10 mA
- Supporte les courts-circuits
- Faible courant de repos 1mA
- Tensions de fonctionnement +12,5V à 30 V

Symbolisation :



Brochage :



Montages d'application :

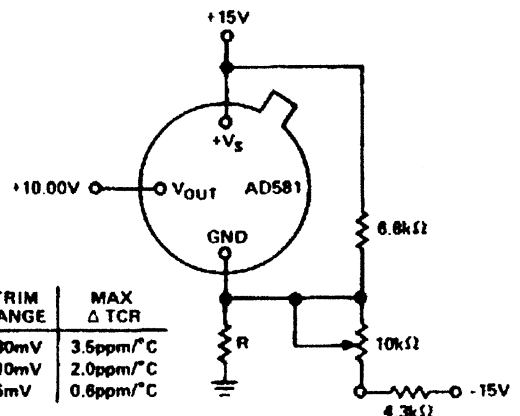
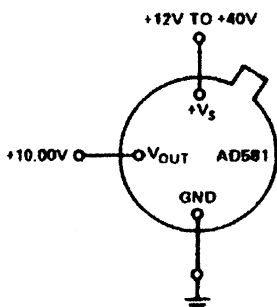


Figure 2. Optional Fine Trim Configuration

Figure 1. AD581 Pin Configuration (Top View)

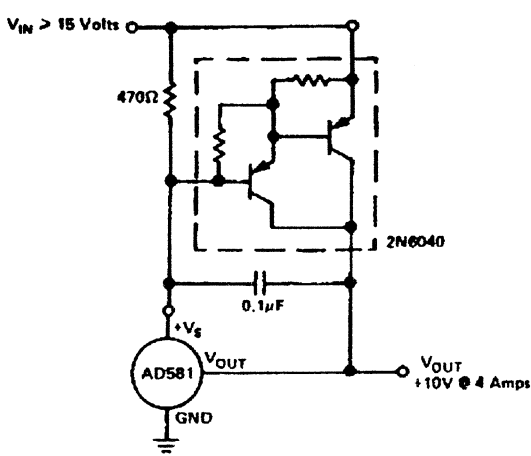


Figure 3. High Current Precision Supply

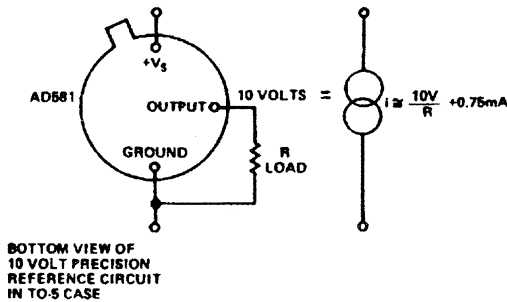


Figure 5. A Two-Component Precision Current Limiter

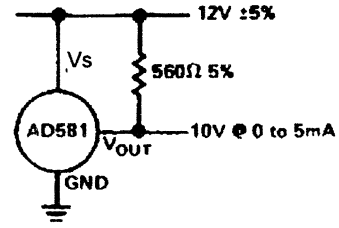


Figure 4. 12-Volt Supply Connection

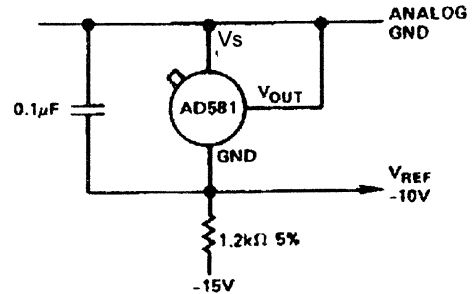


Figure 6. Two-Terminal -10 Volt Reference

AD581—SPECIFICATIONS (@ $V_{IN} = +15\text{ V}$ and $+25^\circ\text{C}$)

Modèle	AD581J		AD581K		AD581L		Units
	Min	Typ	Min	Typ	Min	Typ	
Tolérance sur la tension de sortie							mV
Dérive de la tension de sortie en fonction de la température							mV
REGULATION EN LIGNE							mV
$15\text{ V} \leq V_{IN} \leq 30\text{ V}$							%/V
$13\text{ V} \leq V_{IN} \leq 15\text{ V}$							mV
REGULATION EN CHARGE							mV
$0 \leq I_{OUT} \leq 5\text{ mA}$							%/V
COURANT CONSOMME AU REPOS							$\mu\text{V}/\text{mA}$
TEMPS DE MONTEE							mA
BRUIT (0.1 Hz à 10 Hz)							μs
STABILITE A LONG TERME							μV (p-p)
COURANT DE COURT-CIRCUIT							ppm/1000 hrs.
COURANT DE SORTIE							mA
Source @ $+25^\circ\text{C}$							mA
Source T_{MIN} to T_{MAX}							μA
Sink T_{MIN} to T_{MAX}							μA
Sink -55°C to $+85^\circ\text{C}$							mA
PLAGE DE TEMPERATURES							$^\circ\text{C}$
De fonctionnement							$^\circ\text{C}$
De stockage							
TYPE DE BOITIER							
TO-5 (H-03B)							
		AD581JH		AD581KH		AD581LH	

LM111 / LM211 / LM311

Comparateur de tensions

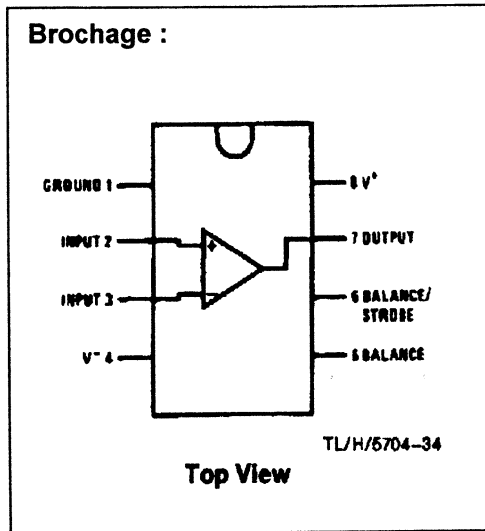
Description Générale :

Les LM111, LM211 et LM311 sont des comparateurs de tensions qui ont des courants d'entrée mille fois plus faibles que les LM106 ou LM710.

Ils peuvent fonctionner dans une grande plage de tensions d'alimentation : de $\pm 15V$ à 0 et +5V utilisé en logique TTL.

Les sorties sont compatibles avec RTL, DTL et TTL ainsi qu'avec les circuits MOS.

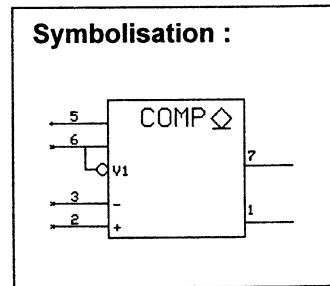
Brochage :



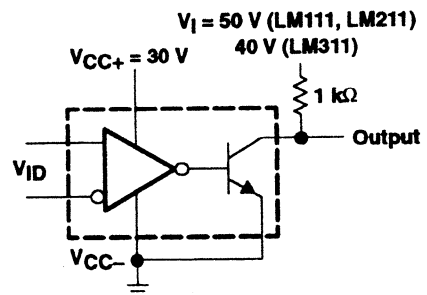
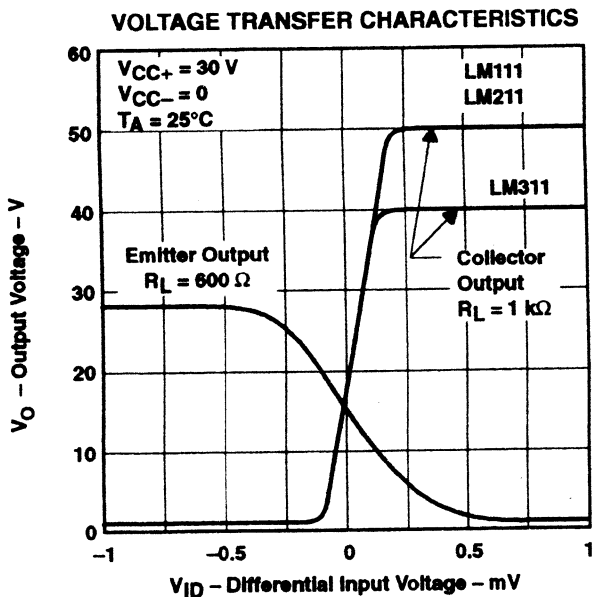
Caractéristiques :

- Tension d'alimentation simple de +5V ou de $\pm 15V$.
- Courant d'entrée de 15 nA max.
- Courant de décalage de 20 nA max.
- Plage de tensions d'entrée différentielles $\pm 30V$
- Puissance consommée : 135 mW à $\pm 15V$.

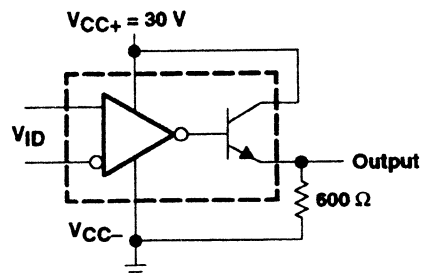
Symbolisation :



TYPICAL CHARACTERISTICS†



COLLECTOR OUTPUT TRANSFER CHARACTERISTIC TEST CIRCUIT FOR FIGURE



EMITTER OUTPUT TRANSFER CHARACTERISTIC TEST CIRCUIT FOR FIGURE

Description Générale :

Le 4528 est un double multivibrateur monostable redéclenchable et réinitialisable soit par un front descendant appliqué sur l'entrée I_0 quand I_1 est à l'état bas, soit par un front montant appliqué sur l'entrée I_1 lorsque I_0 est à l'état haut.

Une entrée de remise à zéro prioritaire \overline{CD} permet de réinitialiser les sorties O et \overline{O} et bloque toutes les impulsions jusqu'à ce que cette entrée revienne au niveau haut.

La durée de l'impulsion de sortie t_w est déterminée par les valeurs de la résistance R_t et du condensateur C_t extérieurs ainsi que du coefficient K qui dépend de la tension d'alimentation du circuit : $t_w = K.R_t.C_t$ (t_w en s, R_t en Ω , C_t en F).

Enfin, on peut prolonger la durée de l'impulsion de sortie en appliquant à nouveau une impulsion de déclenchement sur l'une des entrées.

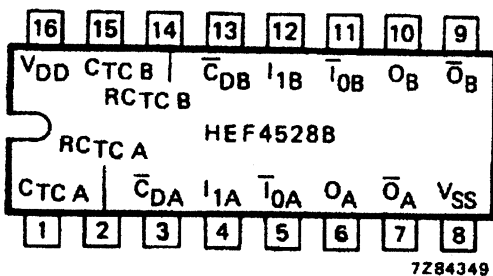
Caractéristiques :

- Large plage d'alimentation de 3 à 15V.
- Largueur d'impulsion $t_w = K.R_t.C_t$
- Entrées de remise à zéro peuvent bloquer les monostables.
- Brochage compatible avec le 4538

Notes :

- $K = 0,42$ pour $V_{DD} = 5V$
- $K = 0,32$ pour $V_{DD} = 10V$
- $K = 0,30$ pour $V_{DD} = 15V$

Brochage :



Symbolisation :

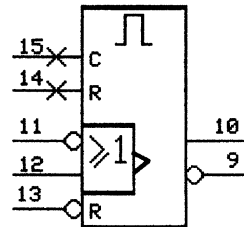


Table de vérité :

ENTREES			SORTIES	
$\overline{I_0}$	I_1	$\overline{C_D}$	O	\overline{O}
↘	L	H	⎓	⎓
H	↗	H	⎓	⎓
X	X	L	L	H

- H : niveau haut
- L : niveau bas
- X : sans importance
- ↗ : front montant
- ↘ : front descendant
- ⎓ : impulsion positive
- ⎓ : impulsion négative

Features

- 12 Bit Binary (Plus Polarity and Overrange) Dual Slope Integrating Analog-to-Digital Converter
- Byte-Organized TTL Compatible Tri-State Outputs and UART Handshake Mode for Simple Parallel or Serial Interfacing to Microprocessor Systems
- RUN/HOLD Input and STATUS Output Can Be Used to Monitor and Control Conversion Timing
- True Differential Input and Differential Reference
- Low Noise - Typically $15\mu V_{p-p}$
- 1pA Typical Input Current
- Operates At Up to 30 Conversions/Sec
- On-Chip Oscillator Operates with Inexpensive 3.58MHz TV Crystal Giving 7.5 Conversions/Sec for 60Hz Rejection. May Also Be Used with An RC Network Oscillator for Other Clock Frequencies

Description

The ICL7109 is a high performance, CMOS, low power integrating A/D converter designed to easily interface with microprocessors.

The output data (12 bits, polarity and overrange) may be directly accessed under control of two byte enable inputs and a chip select input for a single parallel bus interface. A UART handshake mode is provided to allow the ICL7109 to work with industry-standard UARTs in providing serial data transmission. The RUN/HOLD input and STATUS output allow monitoring and control of conversion timing.

The ICL7109 provides the user with the high accuracy, low noise, low drift versatility and economy of the dual-slope integrating A/D converter. Features like true differential input and reference, drift of less than $1\mu V/^{\circ}C$, maximum input bias current of 10pA, and typical power consumption of 20mW make the ICL7109 an attractive per-channel alternative to analog multiplexing for many data acquisition applications.

Description Générale :

Le circuit ICL7109 est un convertisseur Analogique/Numérique 12 bits conçu pour être directement relié à un microprocesseur.

Le mot binaire obtenu après conversion peut être transmis par un bus de données de huit bits grâce à un multiplexage. Les bornes LBEN (partie basse, broche 18) et HBEN (partie haute, broche 19) permettent de sélectionner respectivement la partie basse et la partie haute du mot transmis.

Des informations logiques concernant la polarité et le dépassement sont également disponibles.

Le mot (décimal) disponible en sortie est défini par la formule :

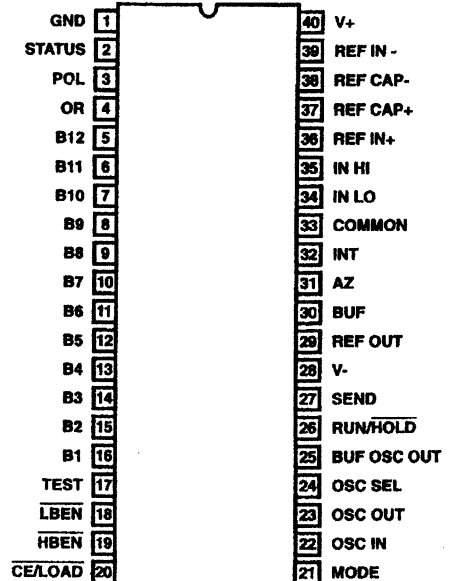
$$M = 2048 \times \frac{(V_{IN HI} - V_{IN LO})}{(V_{REFIN+} + V_{REFIN-})}$$

Avec :

- VIN HI : tension appliquée à la borne 35,
- VIN LO : tension appliquée à la borne 34,
- VREFIN+ : tension appliquée à la borne 36,
- VREFIN- : tension appliquée à la borne 39.

Pinout

ICL7109
(CDIP, PDIP)
TOP VIEW



Pin Description

PIN	SYMBOL	DESCRIPTION	
1	GND	Digital Ground, 0V. Ground return for all digital logic.	
2	STATUS	Output High during integrate and deintegrate until data is latched. Output Low when analog section is in Auto-Zero configuration.	
3	POL	Polarity - HI for positive input.	Tri-State output data bits
4	OR	Overrange - HI if overranged.	Tri-State output data bits
5	B12	Bit 12	(Most Significant Bit) Tri-State output data bits
6	B11	Bit 11	High = True Tri-State output data bits
7	B10	Bit 10	High = True Tri-State output data bits
8	B9	Bit 9	High = True Tri-State output data bits
9	B8	Bit 8	High = True Tri-State output data bits
10	B7	Bit 7	High = True Tri-State output data bits
11	B6	Bit 6	High = True Tri-State output data bits
12	B5	Bit 5	High = True Tri-State output data bits
13	B4	Bit 4	High = True Tri-State output data bits
14	B3	Bit 3	High = True Tri-State output data bits
15	B2	Bit 2	High = True Tri-State output data bits
16	B1	Bit 1	(Least Significant Bit) Tri-State output data bits
17	TEST	Input High - Normal Operation. Input Low - Forces all bit outputs high. Note: This input is used for test purposes only. Tie high if not used.	
18	LBEN	Low Byte Enable - With Mode (Pin 21) low, and $\overline{CE/LOAD}$ (Pin 20) low, taking this pin low activates low order byte outputs B1 through B8. With Mode (Pin 21) high, this pin serves as a low byte flag output used in handshake mode. See Figures 7, 8, 9.	
19	HBEN	High Byte Enable - With Mode (Pin 21) low, and $\overline{CE/LOAD}$ (Pin 20) low, taking this pin low activates high order byte outputs B9 through B8. With Mode (Pin 21) high, this pin serves as a high byte flag output used in handshake mode. See Figures 7, 8, 9.	
20	$\overline{CE/LOAD}$	Chip Enable Load - With Mode (Pin 21) low, $\overline{CE/LOAD}$ serves as a master output enable. When high, B1 through B12, POL, OR outputs are disabled. With Mode (Pin 21) high, this pin serves as a load strobe used in handshake mode. See Figures 7, 8, 9.	
21	MODE	Input Low - Direct output mode where $\overline{CE/LOAD}$ (Pin 20), HBEN (Pin 19) and LBEN (Pin 18) act as inputs directly controlling byte outputs. Input Pulsed High - Causes immediate entry into handshake mode and output of data as in Figure 9. Input High - Enables $\overline{CE/LOAD}$ (Pin 20), HBEN (Pin 19), and LBEN (Pin 18) as outputs, handshake mode will be entered and data output as in Figures 7 and 8 at conversion completion.	
22	OSC IN	Oscillator Input	
23	OSC OUT	Oscillator Output	
24	OSC SEL	Oscillator Select - Input high configures OSC IN, OSC OUT, BUF OSC OUT as RC oscillator - clock will be same phase and duty cycle as BUF OSC OUT. Input low configures OSC IN, OSC OUT for crystal oscillator - clock frequency will be 1/58 of frequency at BUF OSC OUT.	
25	BUF OSC OUT	Buffered Oscillator Output	
26	RUN/HOLD	Input High - Conversions continuously performed every 8192 clock pulses. Input Low - Conversion in progress completed, converter will stop in Auto-Zero 7 counts before integrate.	
27	SEND	Input - Used in handshake mode to indicate ability of an external device to accept data. Connect to +5V if not used.	
28	V-	Analog Negative Supply - Nominally -5V with respect to GND (Pin 1).	
29	REF OUT	Reference Voltage Output - Nominally 2.8V down from V+ (Pin 40).	
30	BUFFER	Buffer Amplifier Output.	
31	AUTO-ZERO	Auto-Zero Node - Inside foil of C_{AZ} .	
32	INTEGRATOR	Integrator Output - Outside foil of C_{INT} .	
33	COMMON	Analog Common - System is Auto-Zeroed to COMMON.	
34	INPUT LO	Differential Input Low Side.	
35	INPUT HI	Differential Input High Side.	
36	REF IN +	Differential Reference Input Positive.	
37	REF CAP +	Reference Capacitor Positive.	
38	REF CAP-	Reference Capacitor Negative.	
39	REF IN-	Differential Reference Input Negative.	
40	V+	Positive Supply Voltage - Nominally +5V with respect to GND (Pin 1).	

NOTE: All digital levels are positive true.

NSC800™ High-Performance Low-Power CMOS Microprocessor

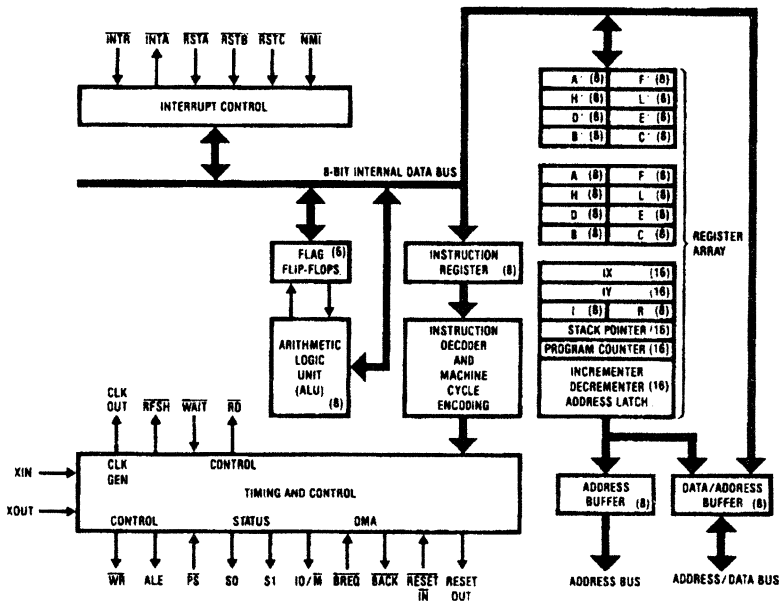
General Description

The NSC800 is an 8-bit CMOS microprocessor that functions as the central processing unit (CPU) in National Semiconductor's NSC800 microcomputer family. National's microCMOS technology used to fabricate this device provides system designers with performance equivalent to comparable NMOS products, but with the low power advantage of CMOS. Some of the many system functions incorporated on the device, are vectored priority interrupts, refresh control, power-save feature and interrupt acknowledge. The NSC800 is available in dual-in-line and surface mounted chip carrier packages.

The system designer can choose not only from the dedicated CMOS peripherals that allow direct interfacing to the NSC800 but from the full line of National's CMOS products to allow a low-power system solution. The dedicated peripherals include NSC810A RAM I/O Timer, NSC858 UART, NSC831 I/O, and soon to be available NSC859 ICU and NSC851 HP-IL.

All devices are available in commercial, industrial and military temperature ranges along with two added reliability flows. The first is an extended burn in test and the second is the military class B screening in accordance with Method 5004 of MIL-STD-883.

Block Diagram



Features

- Fully compatible with Z80® instruction set:
 - Powerful set of 158 instructions
 - 10 addressing modes
 - 22 internal registers
- Low power: 50 mW at 5V V_{CC}
- Unique power-save feature
- Multiplexed bus structure
- Schmitt trigger input on reset
- On-chip bus controller and clock generator
- Variable power supply 2.4V – 6.0V
- On-chip 8-bit dynamic RAM refresh circuitry
- Speed: 1.0 μs instruction cycle at 4.0 MHz
 - NSC800-4 4.0 MHz
 - NSC800 2.5 MHz
 - NSC800-1 1.0 MHz
- Capable of addressing 64k bytes of memory and 256 I/O devices
- Five interrupt request lines on-chip

Pin Descriptions (Continued)

Status (S0, S1): Bus status outputs provide encoded information regarding the current M cycle as follows:

Machine Cycle	Status			Control	
	S0	S1	IO/M	RD	WR
Opcode Fetch	1	1	0	0	1
Memory Read	0	1	0	0	1
Memory Write	1	0	0	1	0
I/O Read	0	1	1	0	1
I/O Write	1	0	1	1	0
Halt*	0	0	0	0	1
Internal Operation*	0	1	0	1	1
Acknowledge of Int**	1	1	0	1	1

*ALE is not suppressed in this cycle.

**This is the cycle that occurs immediately after the CPU accepts an interrupt (RSTA, RSTB, RSTC, INTR, NMI).

Note 1: During halt, CPU continues to do dummy opcode fetch from location following the halt instruction with a halt status. This is so CPU can continue to do its dynamic RAM refresh.

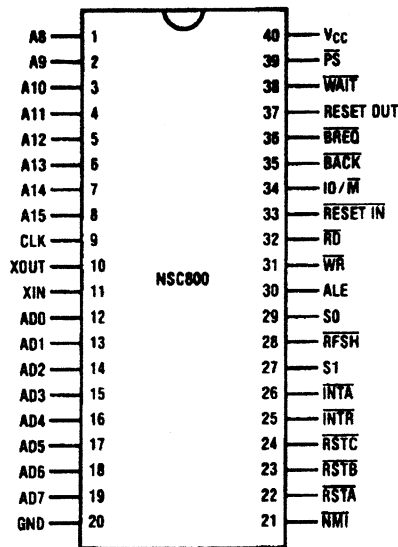
Note 2: No early status is provided for interrupt or hardware restarts.

Signaux du microprocesseur :

Adresses et données multiplexées (AD(0-7)) : actives au niveau haut.
 Sur la commande RD : entrée des données dans le microprocesseur.
 Sur la commande WR : sortie des données par le microprocesseur.
 Sur le front descendant de ALE : placement de l'octet de poids faible de l'adresse.

Connection Diagrams

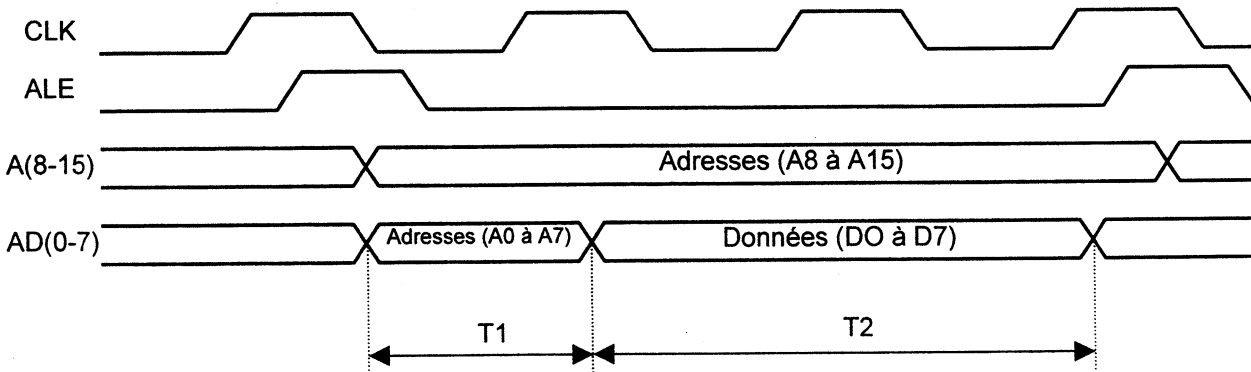
Dual-In-Line Package



Top View

TL/C/5171-10

Order Number NSC800D, J or N
 See NS Package D40C, J40A or N40A



Description Générale :

Les circuits 74HC573 sont composés de 8 bascules D à verrouillage rapides utilisant la technologie microCMOS.

Ces circuits possèdent une grande immunité aux bruits et consomment moins que les circuits CMOS standard. Les sorties sont en logique 3 états, ils sont idéaux pour interfacer les lignes de bus.

Lorsque OC est à l'état bas et l'entrée de validation (LE) est à l'état haut, les sorties Q recopient les entrées D. Lorsque LE est à l'état bas, les données sont mémorisées tant que LE ne repasse pas au niveau haut. Lorsqu'un niveau logique haut est appliqué sur l'entrée de contrôle de sorties (OC) toutes les sorties passent à l'état haute impédance.

Caractéristiques :

- Temps de propagation typique de 18 ns
- Tension d'alimentation de 2 à 6V
- Faible courant d'entrée : 1µA maximum
- Faible courant de repos : 80µA
- Les sorties peuvent commander 15 charges de technologie LS.

Symbolisation :

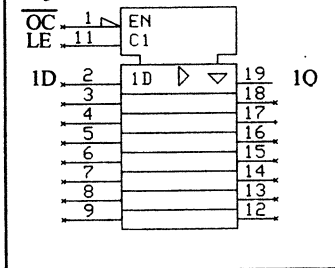


Table de fonctionnement :

OC	LE	Donnée	Sortie
0	1	1	1
0	1	0	0
0	0	X	Q ₀
1	X	X	Z

Z : Haute impédance

X : Etat indifférent

Q₀ : Mémorisation de l'état précédent.

Description Générale :

Le circuit logique reprogrammable EP600 (EPLD) possède l'équivalent de 600 portes de fonctions logiques SSI et MSI dans un boîtier de 24 broches.

L'EP600 possède quatre entrées dédiées, deux entrées d'horloge synchrones et seize entrées/sorties qui peuvent être configurées en entrée, sortie, ou bidirectionnelles.

Ce circuit fait appel à la notion de Macro Cellule qui permet, par programmation, de réaliser de nombreuses fonctions logiques de base.

La Macro Cellule est décomposée en trois parties :

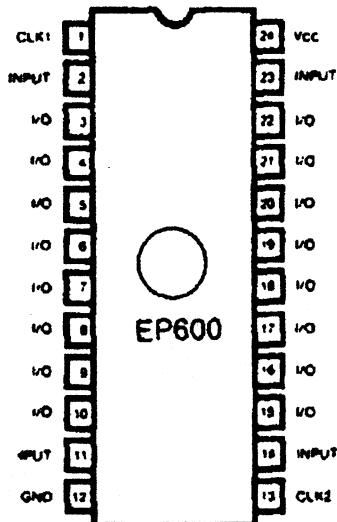
- la zone de connexions programmables (ou réseau logique), qui utilise le principe de matrice de liaison.
- des registres programmables, qui peuvent par programmation prendre l'une des configurations suivantes : de type D flip flop, de type T, de type RS, ou bien encore de type JK. Si cette bascule est inutile, elle peut être éliminée par programmation.
- Les entrées / sorties peuvent être réutilisées par la zone programmable. Par contre, les entrées dédiées sont directement dirigées sur la zone programmable.

Le circuit EP600 est de technologie EPROM CMOS pour configurer la zone de connexions programmables.

Caractéristiques :

- Haute densité d'intégration (jusqu'à 600 portes) remplacement des circuits TTL et 74HC.
- Technologie ACHMOSEPROM, effaçable et reprogrammable.
- Temps de propagation très rapide 25ns.
- Consommation pratiquement nulle au repos (10µA).
- Signal d'horloge asynchrone pour tous les registres ou utilisation des deux horloges synchrones pour un registre.
- Seize Macro Cellules configurables en entrée/sortie permettant d'obtenir 20 entrées et 16 sorties.
- Les registres peuvent être programmés soit en bascules de type D, T, RS ou JK, avec contrôle de RAZ individuel.
- Possibilité d'interdire la relecture en faisant foudre le fusible "Bit de sécurité"
- La programmation se fait par un programmeur.

Brochage :



Structure d'une Macro Cellule :

